

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月25日

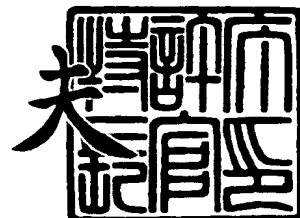
出願番号
Application Number: 特願2003-081666
[ST. 10/C]: [JP 2003-081666]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 P007053

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 棚田 好文

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の検査回路、および表示装置の検査方法

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線を有する表示装置の検査回路であって、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータを有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、第1の検査出力端子と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、第2の検査出力端子と電氣的に接続されたことを特徴とする表示装置の検査回路。

【請求項 2】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線を有する表示装置の検査回路であって、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータと、ExNOR回路を有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、前記ExNOR回路の出力端は、検査出力端子と電氣的に接続されたことを特徴とする表示装置の検査回路。

【請求項3】

マトリクス状に配置された複数の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線を有する表示装置の検査回路であって、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータと、ExOR回路を有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、前記ExOR回路の第1の入力端と電氣的に接続され、前記ExOR回路の出力端は、検査出力端子と電氣的に接続されたことを特徴とする表示装置の検査回路。

【請求項4】

デジタル映像信号を用いて映像表示を行う表示装置の検査回路を用いた検査方法であって、

前記表示装置は、マトリクス状に配置された複数の画素と、前記画素に映像信号を入力するための複数のソース信号線を有し、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータを有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、第1の検査出力端子と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、第2の検査出力端子と電氣的に接続され、

前記表示装置に検査用信号を入力し、第1、第2の検査出力端子に検査出力を得ることを特徴とする表示装置の検査方法。

【請求項 5】

デジタル映像信号を用いて映像表示を行う表示装置の検査回路であって、

前記表示装置は、マトリクス状に配置された複数の画素と、前記画素に映像信号を入力するための複数のソース信号線を有し、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータと、ExNOR回路を有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続さ

れ、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、前記ExNOR回路の出力端は、検査出力端子と電氣的に接続され、

前記表示装置に検査用信号を入力し、検査出力端子に検査出力を得ることを特徴とする表示装置の検査方法。

【請求項6】

デジタル映像信号を用いて映像表示を行う表示装置の検査回路であって、

前記表示装置は、マトリクス状に配置された複数の画素と、前記画素に映像信号を入力するための複数のソース信号線を有し、

前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータと、ExOR回路を有し、

前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、

前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電氣的に接続され、最後尾の前記NAND回路の出力端は、前記ExNOR回路の第1の入力端と電氣的に接続され、

前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電氣的に接続され、最後尾の前記NOR回路の出力端は、前記

E x O R 回路の第 1 の入力端と電氣的に接続され、前記 E x O R 回路の出力端は、検査出力端子と電氣的に接続され、

前記表示装置に検査用信号を入力し、検査出力端子に検査出力を得ることを特徴とする表示装置の検査方法。

【請求項 7】

請求項 4 乃至請求項 6 のいずれか 1 項において、

前記検査用信号として、前記画素部に設けられた前記ソース信号線の出力が、全段にわたり H レベル出力、あるいは全段にわたり L レベル出力となる映像信号および制御信号を用いることを特徴とする表示装置の検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画素がマトリクス状に配置された画素領域を有する表示装置に設ける検査回路、および表示装置の検査方法に関する。

【0 0 0 2】

【従来の技術】

液晶ディスプレイ(L C D)や、エレクトロルミネッセンス(E L)ディスプレイ等をはじめとする表示装置においては、近年大画面化、高精細化が進み、さらに、画素部と、画素部を制御するための周辺回路を基板上に一体形成することによる回路の高集積化が進んでいる。

【0 0 0 3】

製造工程において、パターンニング不良、静電破壊(E S D)等による素子破壊が生じた場合、表示装置自体の正常動作が見込めなくなるため、品質検査によって除外されなければならない。一般的に、表示装置の品質検査は、図 1 2 (A)に示すような、ソースドライバ 1 2 0 3、ゲートドライバ 1 2 0 4、画素領域 1 2 0 5、信号入力端子 1 2 0 6 等が形成された T F T 基板 1 2 0 1 と、対向基板 1 2 0 2 とを貼り合わせ、完成品であるモジュール 1 2 0 0 となった段階で、図 1 2 (B)に示すように、実際にジグ等を用いて信号を入力、画像もしくは映像(テストパターン 1 2 1 2 等)の表示を行い、画面の視認によって表示不良の有無を観

察することによって行われる。

【0004】

しかし、この方法によると、表示装置自体がモジュール1200としてほぼ完成した段階での検査となるため、不良判定されたモジュールに費やされたコストが大きいといった欠点がある。つまり、回路不良による欠陥は、TFT基板1201のみに起因するものであり、対向基板1202等の貼り合わせに伴う工程が無駄となる。また、画素部や周辺回路がTFT等によって形成されている基板(TFT基板)のみを製造し、半完成品として出荷するなどといった形態も考えられるが、このような場合、実際の表示で品質検査を行うことは事実上不可能である。つまり、TFT基板の状態で、回路動作が正常かどうかを判断する手段が必要となる。

【0005】

図11は、そのような検査を実現した構成の一例である。基板上に、シフトレジスタ(SR)、NAND回路、ラッチ、D/Aコンバータ(DAC)等となるデジタルソースドライバ18、ゲートドライバ5、画素3がマトリクス状に配置された画素領域および、スイッチ駆動回路30、アナログスイッチ25、検査ライン27、検査端子28等となる検査回路が形成されている。

【0006】

図11に示した表示装置は、各ゲート信号線6により当該行に接続された画素を制御し、映像信号はデジタルソースドライバ18に入力され、ソース信号線9へと出力され、各画素に書き込まれる。

【0007】

検査回路においては、画素に映像信号が書き込まれることによって保持された電荷を、アナログスイッチ25をスイッチ駆動回路30によって制御し、順次検査ライン27を介して検査端子28に取り出すことによって、画素への書込みの良否の判定を行うものである(特許文献1参照)。また、ソース信号線9のそれぞれに検査用のパッドを配し、各パッドに探針(プローブ)を当てることによって出力を検査する方法もある(特許文献2参照)。

【0008】

【特許文献 1】

特開 2002-116423 号公報

【特許文献 2】

特許第 2618042 号明細書

【0009】**【発明が解決しようとする課題】**

しかし、上記の特許文献記載の方法によると、高精細、大画面の表示装置においては検査のスループットが著しく低下する点、また、スイッチ駆動回路 30 等による制御が必須であり、基板上における検査回路の実装面積の拡大等といった問題がある。特に、前者のような方法によると、高精細な表示装置においては現実的でない。

【0010】

本発明は前述の課題に鑑み、極めて簡単な方法により、かつ小規模な検査回路を用いて、回路動作、線欠陥の有無等の判定が可能な検査回路および検査方法を提供するものである。

【0011】**【課題を解決するための手段】**

前述した課題を解決するため、本発明においては以下のような手段を講じた。

【0012】

高精細化に伴って本数の増大した信号線に出力される信号を、それぞれ探針によって検査する方法は現実的でない。そこで本発明においては、全段の信号線出力を検査回路に投入し、それらの入力のある特定のパターンに対する出力のみを測定する。

【0013】

ある信号線の出力が不正である場合には、前述の出力とは異なる出力が得られるようにする。したがって、1つないしは数箇所出力を測定し、正常な状態で得られるべき出力の形態と比較することによって、良否の判定を行う。

【0014】

本発明の表示装置の検査回路の第 1 の構成は、マトリクス状に配置された複数

の画素と、前記複数の画素の各々に映像信号を入力するための複数のソース信号線を有する表示装置の検査回路であって、前記検査回路は、複数のNAND回路と、複数のNOR回路と、複数のインバータを有し、前記複数のNAND回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数のNOR回路はそれぞれ、前記複数のインバータを介して直列接続され、前記複数のソース信号線はそれぞれ、前記複数のNAND回路の第1の入力端および、前記複数のNOR回路の第1の入力端と電気的に接続され、前記直列接続されたNAND回路のうち、先頭の前記NAND回路の第2の入力端は、第1の電源と電気的に接続され、最後尾の前記NAND回路の出力端は、第1の検査出力端子と電気的に接続され、前記直列接続されたNOR回路のうち、先頭の前記NOR回路の第2の入力端は、第2の電源と電気的に接続され、最後尾の前記NOR回路の出力端は、第2の検査出力端子と電気的に接続されたことを特徴とする。

【0015】

このような構成とすることにより、検査回路自体は何ら制御信号を必要とせず、表示装置自体が有する駆動回路を動作させることによって検査が可能である。従って簡単な手順による検査が可能であり、検査回路の実装面積も小規模なもので済む。

【0016】

また、上記の構成に、ExNOR回路を追加して検査回路を構成し、第2の構成としても良い。この場合は、2入力ExNOR回路を用い、第1の入力端に、前記最後尾のNAND回路の出力端が電気的に接続され、第2の入力端に、前記最後尾のNOR回路の出力端が電気的に接続された構成を特徴とする。

【0017】

さらに、ExNOR回路に代わり、ExOR回路を用い、第3の構成としても良い。この場合は、2入力ExOR回路を用い、第1の入力端に、前記最後尾のNAND回路の出力端が電気的に接続され、第2の入力端に、前記最後尾のNOR回路の出力端が電気的に接続された構成を特徴とする。

【0018】

本発明の表示装置の検査方法は、上記の第1の構成を有する表示装置の検査回

路を用い、前記表示装置に検査用信号を入力して、第1、第2の検査出力端子に検査出力を得ることを特徴とする。

【0019】

また、上記第2、第3の構成を有する表示装置の検査回路を用い、前記表示装置に検査用信号を入力して、検査出力端子に検査出力を得ることを特徴とする。

【0020】

本発明の表示装置の検査方法において、

前記検査用映像信号としては、前記画素部に設けられた前記ソース信号線の出力が、全段にわたりHレベル出力、あるいは全段にわたりLレベル出力となる映像信号を用いている。

【0021】

以上の検査方法によると、線順次デジタル駆動方式を採用した表示装置においては、各ソース信号線の出力、または各ソース信号線に接続された検査回路の出力を全て確認する必要は無く、最終段に接続された検査出力端子の出力を確認するのみで、全段にわたり、欠陥の有無の判定が可能であるため、たとえ、高精細化、大画面化し、ソース信号線の本数が膨大になるような場合にも、非常に高スループットでの検査が可能となる。

【0022】

【発明の実施の形態】

図1(A)に、本発明の一実施形態を示す。基板上に、ソースドライバ101、ゲートドライバ102、画素領域106、検査回路、検査出力端子107が形成されている。画素領域106は、複数の画素105がマトリクス状に配置されており、各画素は、ソース信号線103、ゲート信号線104によって制御される。

【0023】

検査回路の構成を図1(B)に示す。検査回路111は、複数のNAND112、複数のインバータ114を、交互に直列に接続し、さらにソース信号線103のそれぞれと接続した回路と、複数のNOR113、複数のインバータ114を交互に直列に接続し、さらにソース信号線103のそれぞれと接続した回路とが

並列に設けられ、双方の最終段出力は、検査出力端子 106 a、106 b に取り出される。

【0024】

具体的には、検査回路 111 における、1 段目の NAND の第 1 の入力端には、電源 (VDD) が接続され、第 2 の入力端には、ソース信号線 (S1) が接続され、出力端は、1 段目のインバータの入力端に接続されている。1 段目のインバータの出力端は、2 段目の NAND の第 1 の入力端に接続されている。2 段目以降、ある m ($2 \leq m \leq n$) 段目において、 m 段目の NAND の第 1 の入力端には、 $m-1$ 段目のインバータ出力端が接続され、第 2 の入力端には、ソース信号線 (S m) が接続され、出力端は、 m 段目のインバータの入力端に接続されている。 m 段目のインバータの出力端は、 $m+1$ 段目の NAND の第 1 の入力端に接続されている。最終段のインバータ出力が、検査出力端子 106 a に取り出される。

【0025】

一方、1 段目の NOR 113 の第 1 の入力端には、電源 (VSS) が接続され、第 2 の入力端には、ソース信号線 (S1) が接続され、出力端は、1 段目のインバータの入力端に接続されている。1 段目のインバータの出力端は、2 段目の NOR の第 1 の入力端に接続されている。2 段目以降、ある m 段目において、 m 段目の NOR の第 1 の入力端には、 $m-1$ 段目のインバータ出力端が接続され、第 2 の入力端には、ソース信号線 (S m) が接続され、出力端は、 m 段目のインバータの入力端に接続されている。 m 段目のインバータの出力端は、 $m+1$ 段目の NOR の第 1 の入力端に接続されている。最終段のインバータ出力が、検査出力端子 106 b に取り出される。

【0026】

続いて、実際の検査の手順について、図 1 (A) (B) を用いて示す。ここでは、線順次デジタル形式のソースドライバ対象とした例について説明する。

【0027】

検査にあたり、ソースドライバ 101 を動作させる。動作方法としては、通常の映像表示を行う場合と同様で構わない。ただし、映像信号として、全てのソース信号線を H レベル出力とする状態と、全てのソース信号線を L レベル出力とす

る状態のみとして入力する。

【0028】

図2に、ソースドライバ101の簡単なタイミングチャートを示し、以下にその動作について順次説明する。図2には、入力信号としてクロック信号(SCK)、スタートパルス(SSP)、ラッチパルス(SLAT)、デジタル映像信号(Data)、出力信号として、1段目～4段目、最終段のサンプリングパルス(SROut1～4、最終)、ソース信号線出力(SLine)を示している。

【0029】

まず、第1ライン期間(Period1)について説明する。クロック信号とスタートパルス201に従ってシフトレジスタが動作し、サンプリングパルス205を順次出力する。サンプリングパルス205はそれぞれ、デジタル映像信号のサンプリングを行い、ラッチ回路にデータを保持する。

【0030】

なお、第1ライン期間において、デジタル映像信号207は、全てHレベルを入力している。

【0031】

最終段でのデジタル映像信号のサンプリングが完了した後、ラッチパルス203が入力されると、ラッチ回路にて保持されていたデータが一斉にソース信号線に出力される。このときのソース信号線出力もまた、ラッチ回路によって、次にラッチパルス204が入力されるまでの期間、保持される。

【0032】

ここで、ソース信号線出力は、全段においてHレベルとなる(210)。

【0033】

次に、第2ライン期間(Period2)に移る。第1ライン期間と同様に、クロック信号とスタートパルス502に従い、サンプリングパルス206が順次出力され、デジタル映像信号のサンプリングが行われる。

【0034】

なお、第2ライン期間において、デジタル映像信号208は、全てLレベルを入力している。

【0035】

続いて、ラッチパルス 204 が入力されると、ラッチ回路にて保持されていたデータが一斉にソース信号線に出力される。このとき、ソース信号線出力は、全段において L レベルとなる(211)。

【0036】

次に、検査回路の動作等について説明する。今、210 で示される期間において、ソース信号線には、全段において H レベルが出力されている。よって検査回路は、図 3 (A) に示すような状態となる。NAND 301 の第 1 の入力端には、電源(VDD)が入力され、第 2 の入力端には、H レベルが入力されている。よって NAND 301 の出力は L レベルとなる。さらにこの出力は、インバータを介して反転し、次段の NAND に入力される。以後これを繰り返し、最終的に、検査出力端子 303 には、H レベルが出力される。

【0037】

一方、NOR 302 の第 1 の入力端には、電源(VSS)が入力され、第 2 の入力端には、H レベルが入力されている。よって NOR 302 の出力は L レベルとなる。さらにこの出力は、インバータを介して反転し、次段の NOR に入力される。以後これを繰り返し、最終的に、検査出力端子 304 には、H レベルが出力される。

【0038】

次に、211 で示される期間においては、ソース信号線には、全段において L レベルが出力されている。よって検査回路は、図 3 (B) に示すような状態となる。前述と同様に、全てのソース信号線に接続された NAND、NOR が動作し、この場合、検査出力端子 303、304 には、いずれも L レベルが出力される。

【0039】

この場合の検査出力端子の状態、すなわちソース信号線出力が全段にわたって H レベルの場合、検査出力端子にはいずれも H レベルが出力され、ソース信号線が全段にわたって L レベルの場合、検査出力端子にはいずれも L レベルが出力される状態が、正常な検査出力である。

【0040】

ここで、以下のA～Fに示される、数種類の動作不良モードを仮定する。

A：ソース信号線(S 4)の出力がHレベル固定となる場合。

B：ソース信号線(S 4)の出力がLレベル固定となる場合。

C：ソース信号線(S 4)の出力が通常と反転する場合。

D：ソース信号線(S 3、S 5)の出力がHレベル固定となる場合

E：ソース信号線(S 2)の出力がHレベル固定、ソース信号線(S n)の出力がLレベル固定となる場合。

F：ソース信号線(S 2)の出力がLレベル固定、ソース信号線(S n)の出力が通常と反転する場合。

【0041】

これらの動作不良は、例えばパターンニング不良による、ソース信号線と電源線等の短絡や、工程中の静電破壊による素子破壊が生じたことによる回路の動作不良等によってもたらされうるものである。以下に、動作不良A～Fの各々について、検査回路の動作を示す。

【0042】

図4(A)(B)は、動作不良モードAにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S 4)が、デジタル映像信号に関係なくHレベル固定となっている。このとき、ソース信号線に全段にわたってHレベルが出力されている状態、すなわち図4(A)においては、正常動作と同様の論理となるため、正常判定される。しかし、ソース信号線が全段にわたってLレベル出力となると、図4(B)に示すように、NOR 401において論理反転が生じ、以後、この反転した論理が保存されたまま、検査出力端子304にHレベルが出力され、すなわち不良判定となる。

【0043】

図5(A)(B)は、動作不良モードBにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S 4)が、デジタル映像信号に関係なくLレベル固定となっている。この場合も動作不良モードAと同様、今度はソース信号線が全段にわたってHレベル出力のとき、NAND 501において論理反転が生じ、検査出力端子303にLレベルが出力され、すなわち不良判定と

なる。

【0044】

図6(A)(B)は、動作不良モードCにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S4)が、デジタル映像信号に対し、出力が反転している。この場合、ソース信号線に全段にわたってHレベルが出力されている場合も、Lレベルが出力されている場合も、それぞれNAND601、NOR602において論理が反転し、前者においては検査出力端子303にLレベルが出力され、後者においては検査出力端子304にHレベルが出力されることによって不良判定が得られる。

【0045】

ここまでの例は、全ソース信号線に対し、不良箇所がただ1箇所である場合について述べた。動作不良モードD～Fは、複数の不良箇所が存在する場合の例である。

【0046】

図7(A)(B)は、動作不良モードDにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S3、S5)の2箇所において、いずれもデジタル映像信号に関係なくHレベル固定となっている。図7(B)に示すとおり、不良箇所が複数ある場合には、最初に現れた不良箇所、つまりソース信号線(S3)に接続されたNOR701で論理が反転した後、次に現れる不良箇所、つまりソース信号線(S5)に接続されたNOR702において変化することなく、論理反転の状態がそのまま保存され、検査出力端子304にHレベルを出力、不良判定が得られている。

【0047】

図8(A)(B)は、動作不良モードEにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S2)においては、デジタル映像信号に関係なくHレベル固定となっており、さらにソース信号線(Sn)において、デジタル映像信号に関係なくLレベル固定となっている。図8(A)(B)に示すとおり、前者の不良箇所に関しては、NOR802において論理が反転し、検査出力端子304にHレベルが出力され、後者の不良箇所に関しては、NAND8

01において論理が反転し、検査出力端子303にLレベルが出力され、不良判定が得られる。このように、異なるモードの不良が複数の箇所で生じた場合にも、互いの検査出力を阻害することなく、正確に判定が行われている。

【0048】

図9(A)(B)は、動作不良モードFにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S2)においては、デジタル映像信号に関係なくLレベル固定となっており、さらにソース信号線(Sn)において、デジタル映像信号に対し、出力が反転している。図9(A)(B)に示すとおり、前者の不良箇所に関しては、NAND901において論理が反転し、検査出力端子303にLレベルが出力され、後者の不良箇所に関しては、NOR902において論理が反転し、検査出力端子304にHレベルが出力され、不良判定が得られる。このモードにおいても、ソース信号線(Sn)の不良が、NAND901において現れた論理反転に影響することなく、正確に判定が行われている。

【0049】

以上のように、本発明の検査回路は、多種の不良モードに対して極めて正確な不良判定が可能であり、デジタル映像信号を入力し、ソース信号線にデジタル出力を行う形式のドライバを用いた表示装置であれば、LCD、ELディスプレイ、プラズマディスプレイ等、多種の表示装置において、回路動作の良否の判定を行うことが出来る。かつ、検査回路自体を駆動する回路は必要なく、通常と同様にドライバを動作させるのみの極めて簡単な手順によつての検査が可能である。

【0050】

なお、図3～図9に示したように、NANDを用いて構成された回路の側に接続された検査出力端子の出力と、NORを用いて構成された回路の側に接続された検査出力端子の出力が、デジタル映像信号がHレベル、Lレベルいずれの場合においても、同じ出力が得られる場合が正常であり、何らかの不良判定が現れる場合には、2つの検査出力端子の出力が異なっている。

【0051】

よつて、図10(A)(B)に示すように、2つの検査出力端子に現れる信号を入力とするExNOR(Exclusive-NOR)1001をさらに接続し、E

xNOR1001の出力がHレベルであるか、Lレベルであるかによって、良否の判定を行っても良い。図10(B)に示す構成によると、ExNOR出力がHレベルであれば良品判定、Lレベルであれば不良判定となる。また、ExNORの代わりに、ExOR(Exclusive-OR)を用いても同様である。この場合、ExOR出力がLレベルであれば良品判定、Hレベルであれば不良判定となる。

【0052】

また、図1、図10等にした検査回路は、表示装置の実仕様上の動作に関しては必要のない回路である。よって、画素領域を形成し、完成品のモジュールとして基板から所望のサイズに分断する際、同時に除去しても良い。

【0053】

【発明の効果】

本発明によって、実際のテストパターン表示の視認による検査を行わなくとも、TFT基板の状態での良否が判定可能なため、小規模な検査回路によって、極めて簡単に、効率的な品質検査を可能とする。

【0054】

具体的には、デジタル映像信号を入力し、ソース信号線にデジタル出力を行う形式のドライバを用いた表示装置であれば、LCD、ELディスプレイ、プラズマディスプレイ等、多種の表示装置において、回路動作の良否の判定を行うことが出来る。かつ、検査回路自体を駆動する回路は必要なく、通常表示の場合と同様の手順でドライバを動作させるのみの、極めて簡単な手順によつての検査が可能である。加えて、ソース信号線の本数に関係なく、検査出力端子の出力のHレベル/Lレベルを確認するのみで、全段にわたつての欠陥の有無が即座に判定可能なため、大画面、高精細なパネルに用いられる表示装置の検査にも有効である。

【図面の簡単な説明】

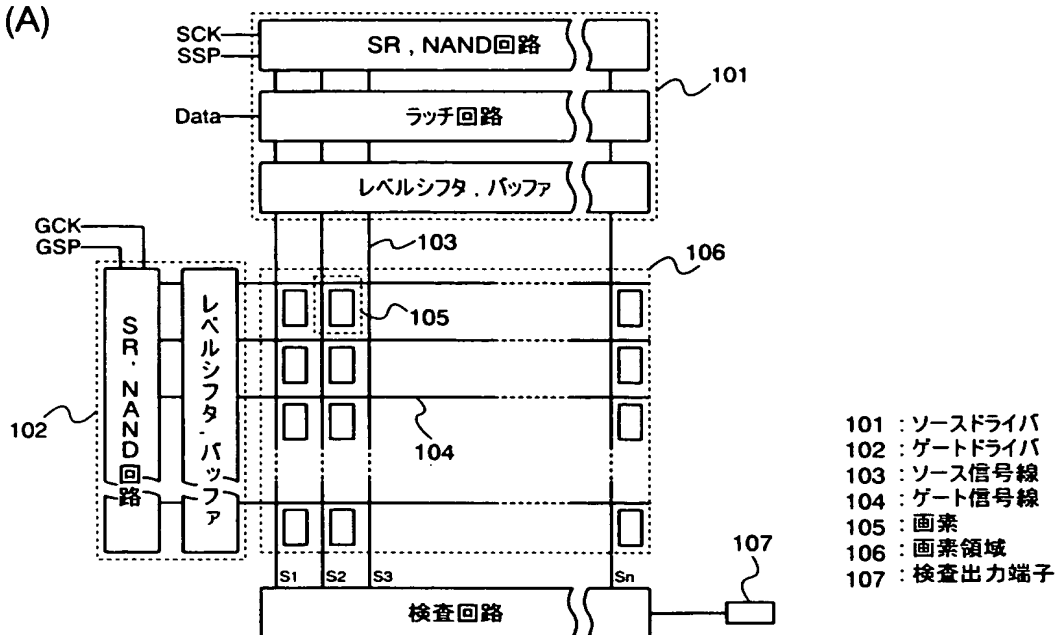
- 【図1】 本発明の一実施形態を示す図。
- 【図2】 ソースドライバタイミングチャートを示す図。
- 【図3】 正常動作時の検査回路動作と検査出力を示す図。

- 【図 4】 動作不良モード A における検査回路動作と検査出力を示す図。
- 【図 5】 動作不良モード B における検査回路動作と検査出力を示す図。
- 【図 6】 動作不良モード C における検査回路動作と検査出力を示す図。
- 【図 7】 動作不良モード D における検査回路動作と検査出力を示す図。
- 【図 8】 動作不良モード E における検査回路動作と検査出力を示す図。
- 【図 9】 動作不良モード F における検査回路動作と検査出力を示す図。
- 【図 10】 本発明の他の一実施形態を示す図。
- 【図 11】 従来の検査回路を有する表示装置の構成を示す図。
- 【図 12】 モジュールの形態と、探針を用いた品質検査の概略を示す図。

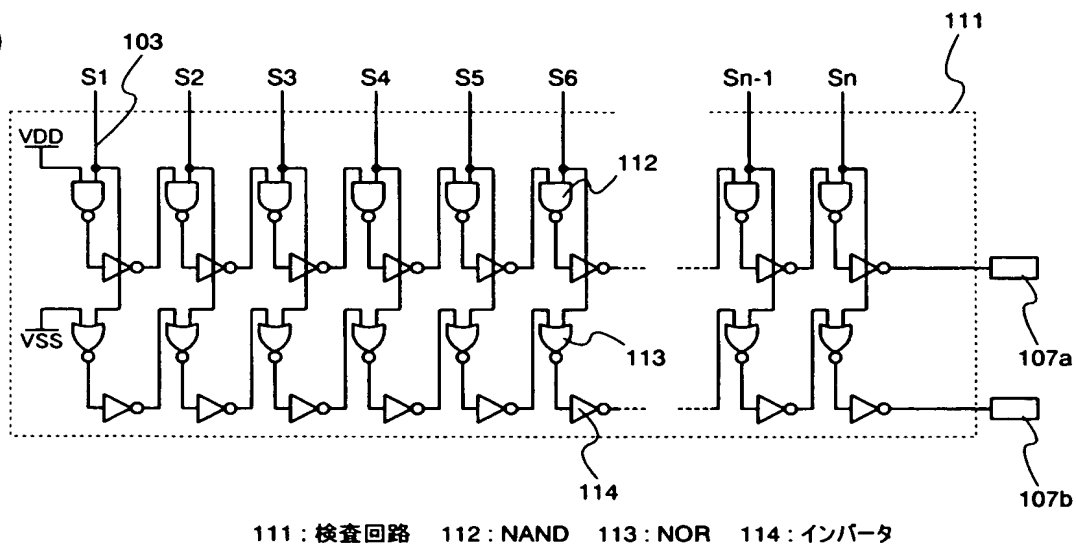
【書類名】 図面

【図 1】

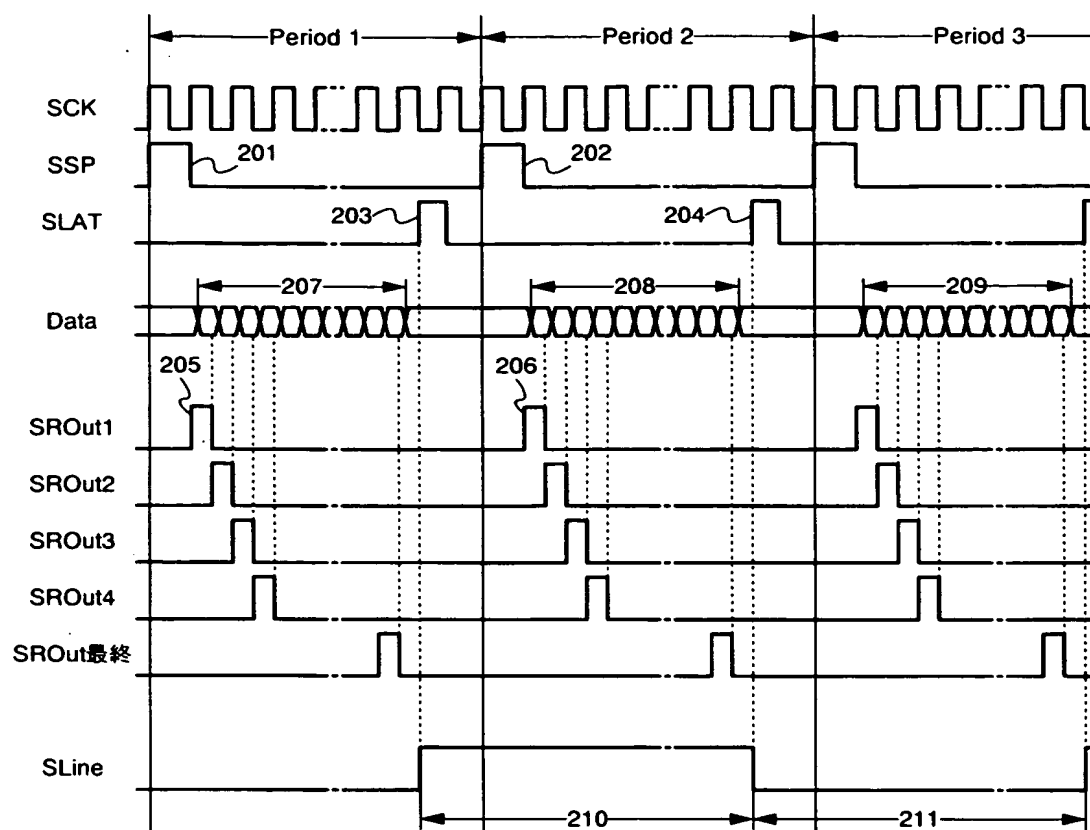
(A)



(B)

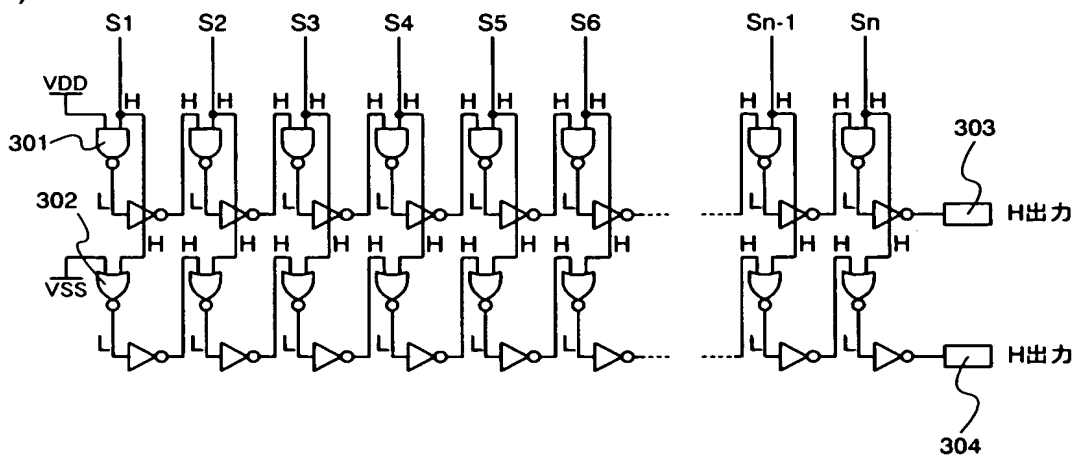


【図 2】

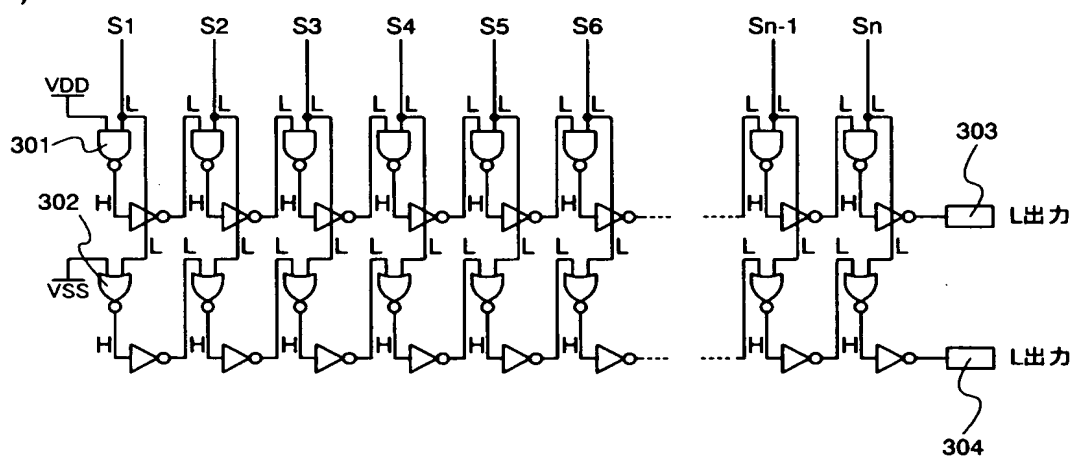


【図 3】

(A)

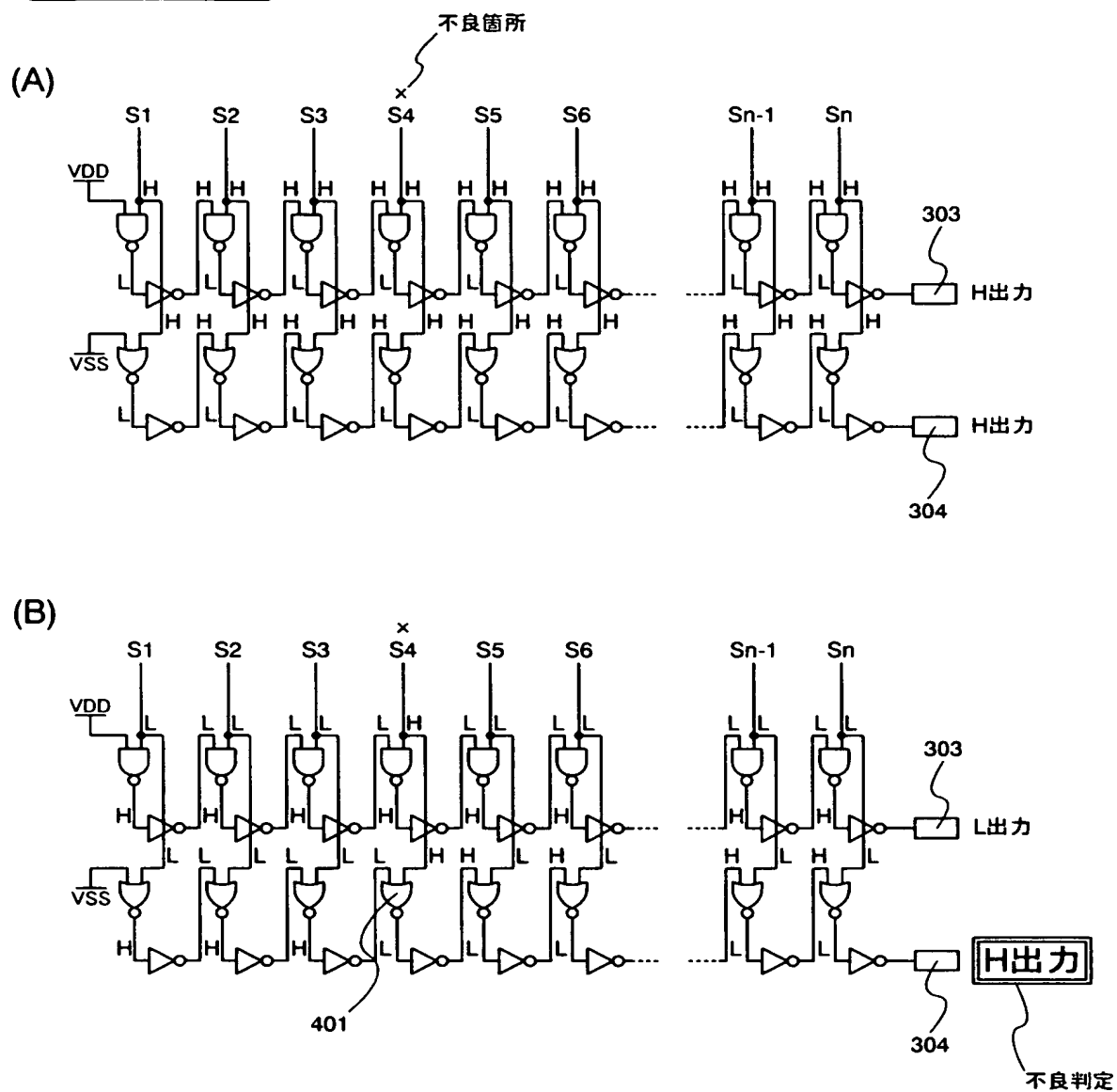


(B)



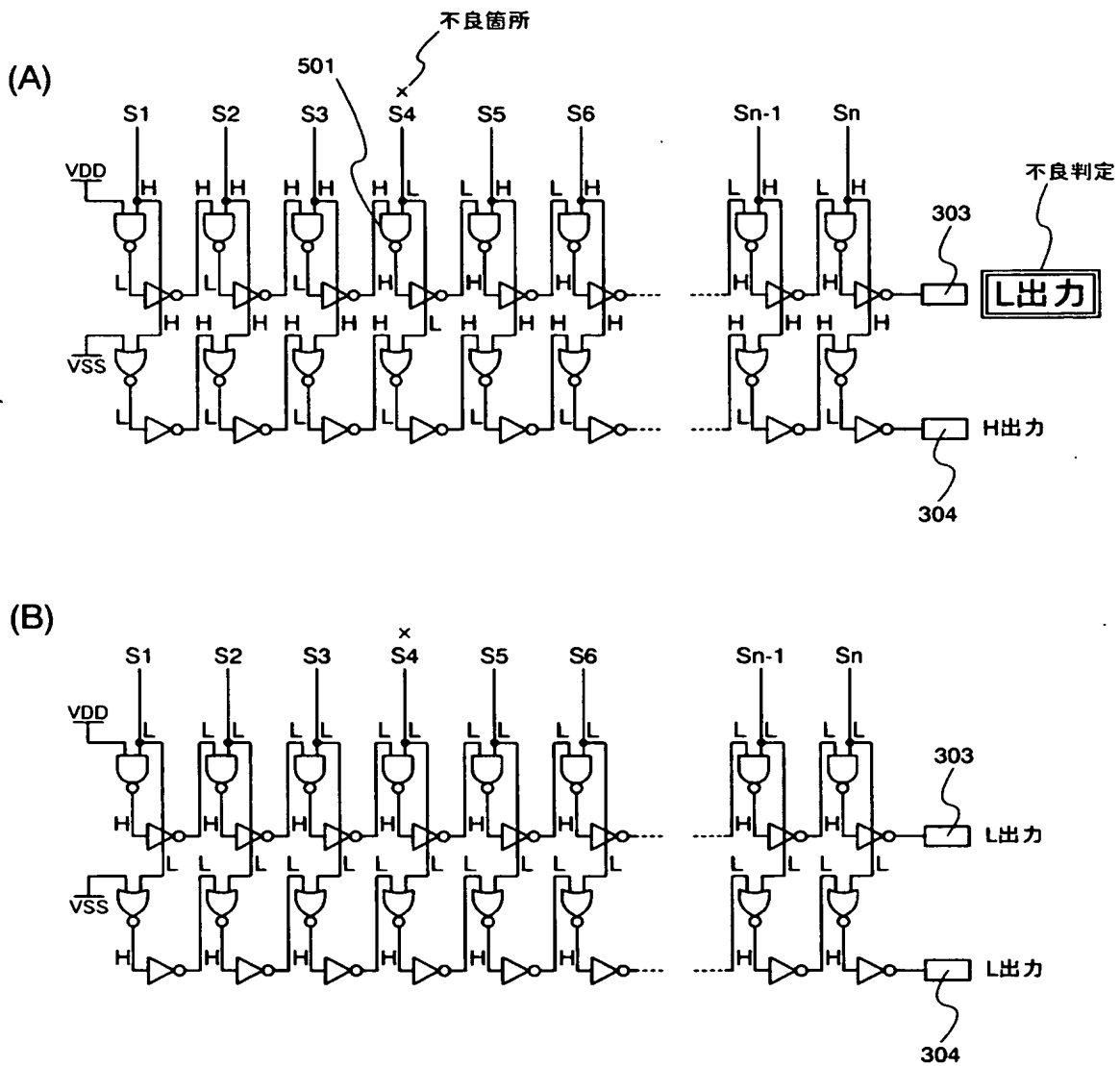
【図 4】

動作不良モードA



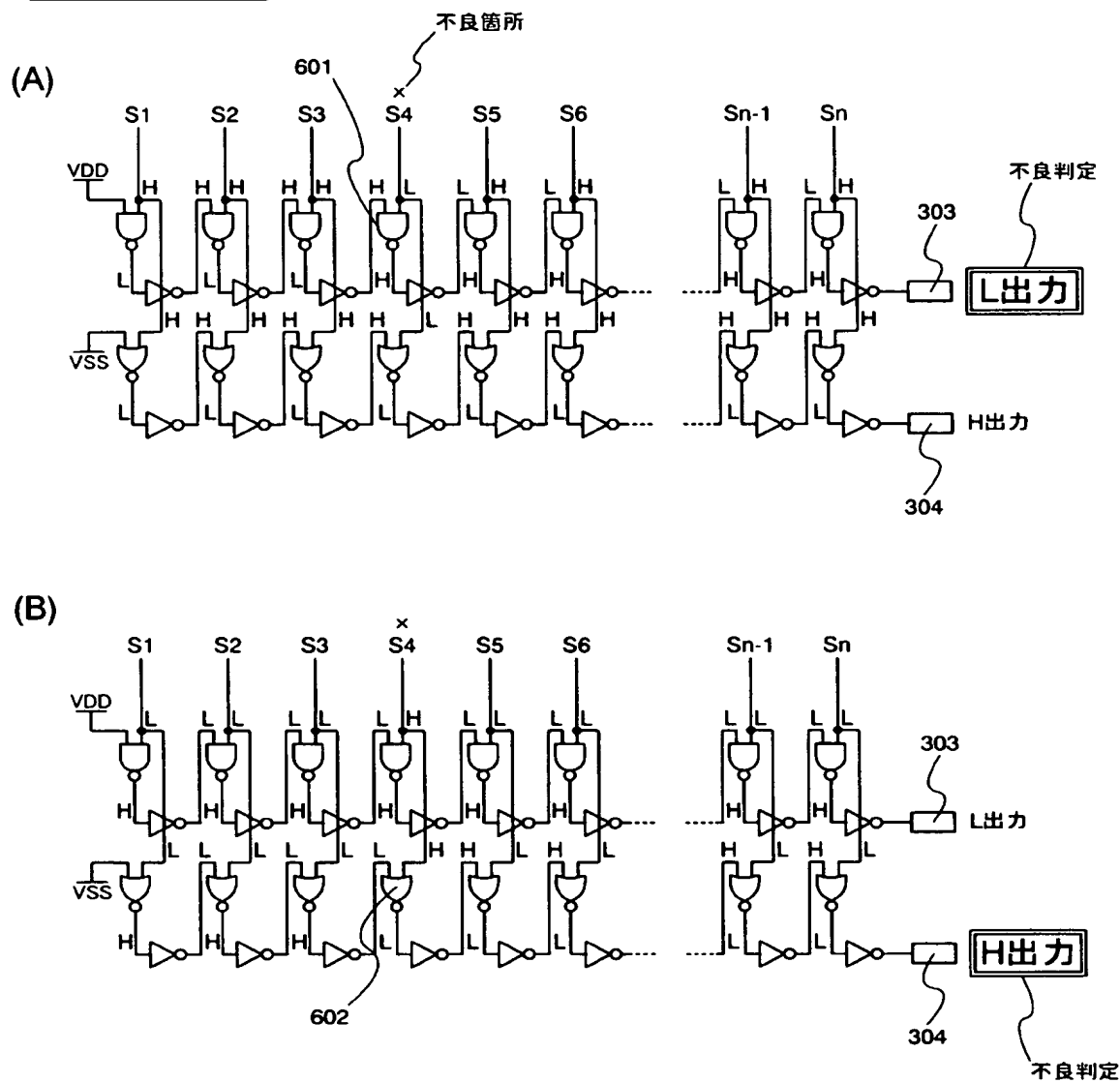
【図 5】

動作不良モードB



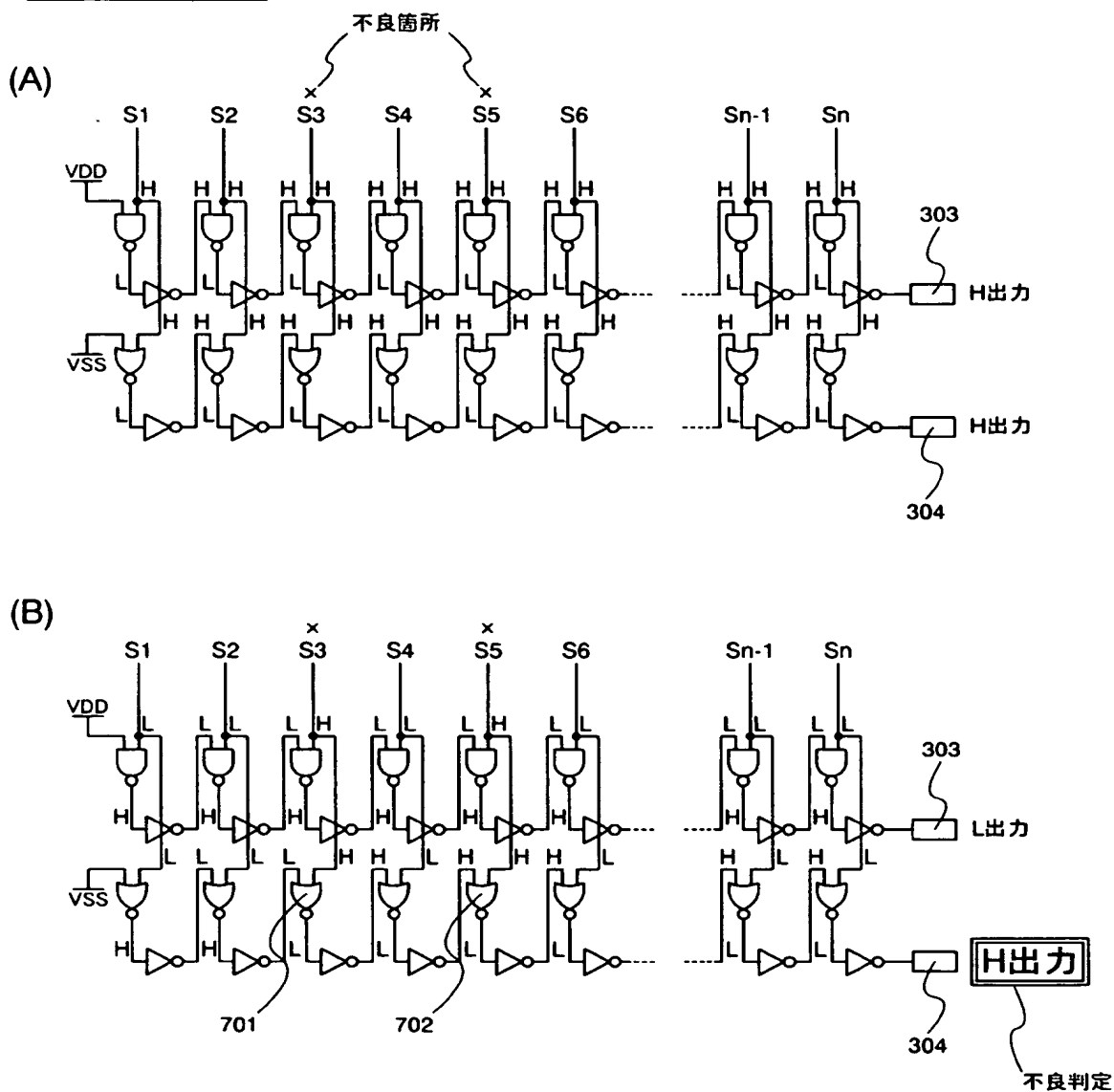
【図 6】

動作不良モードC



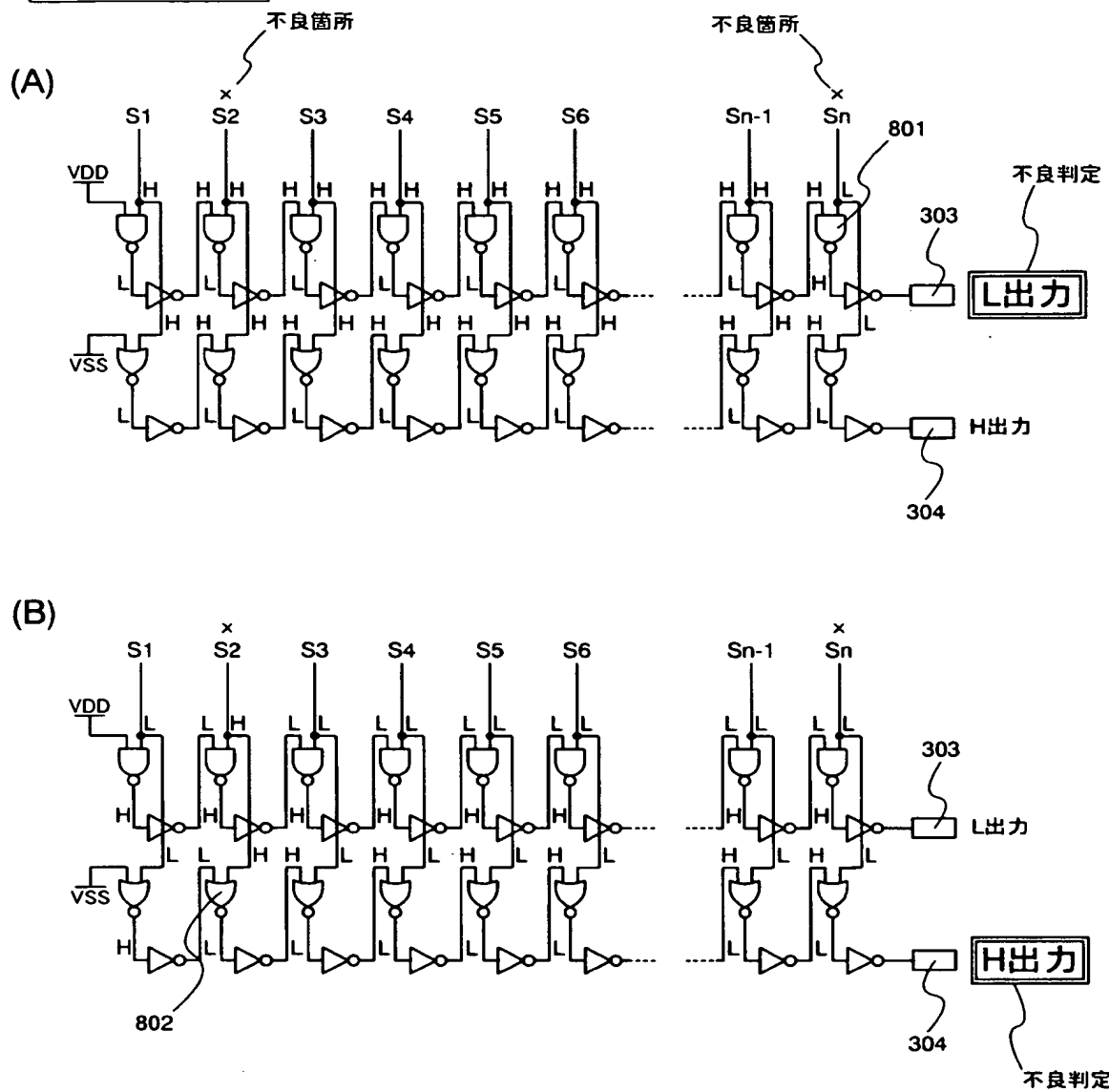
【図 7】

動作不良モード

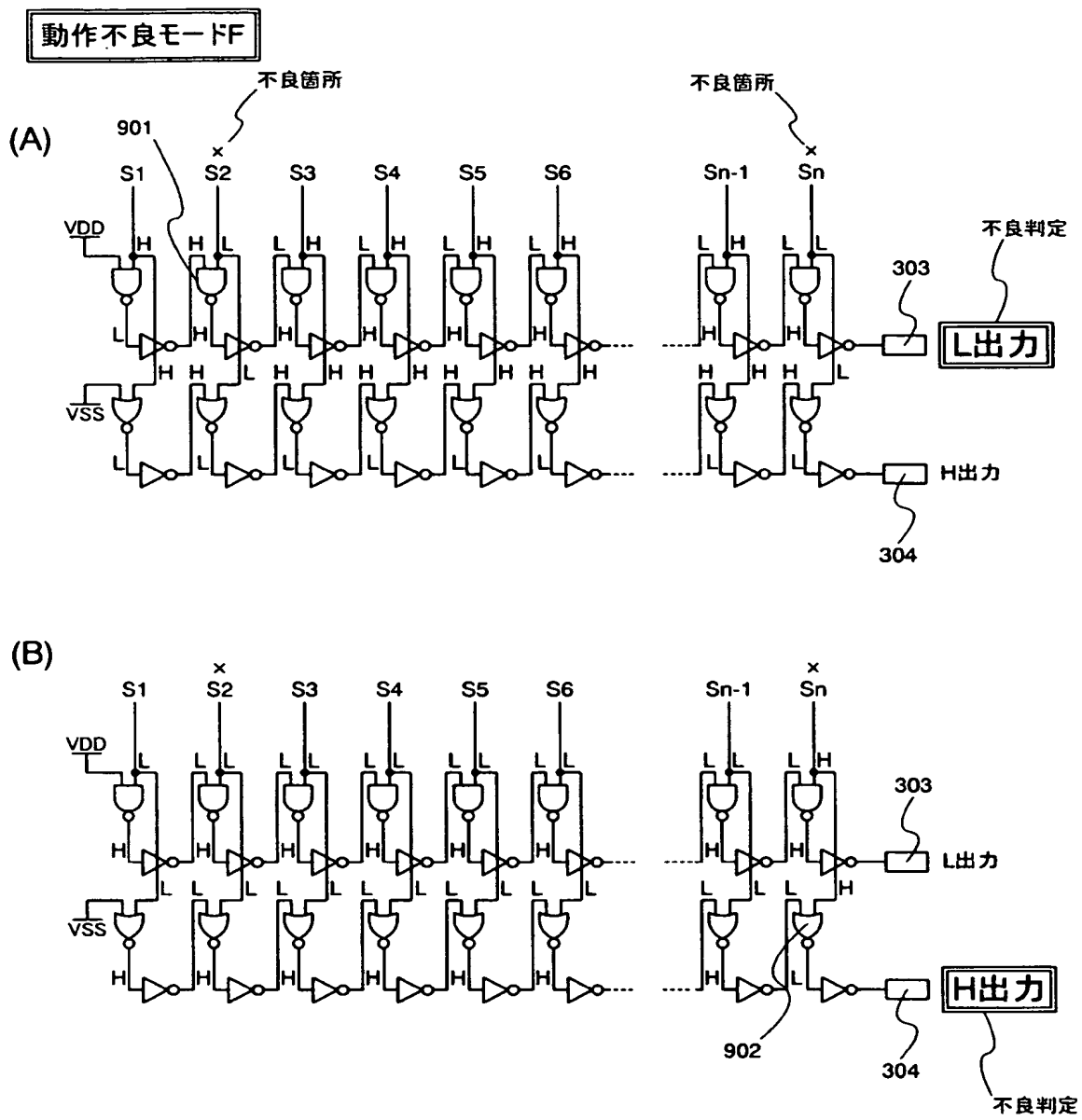


【図 8】

動作不良モードE

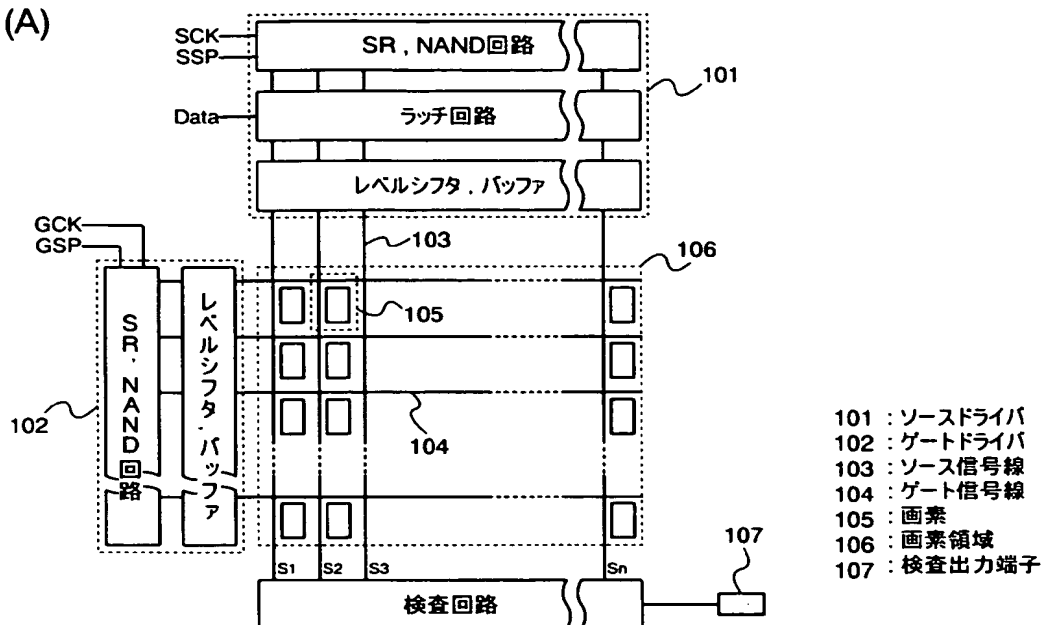


【図 9】

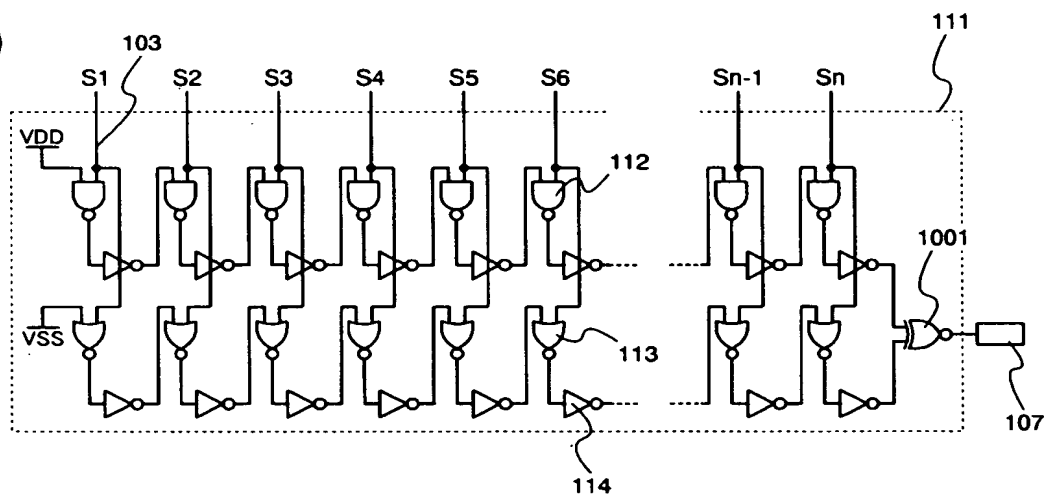


【図 10】

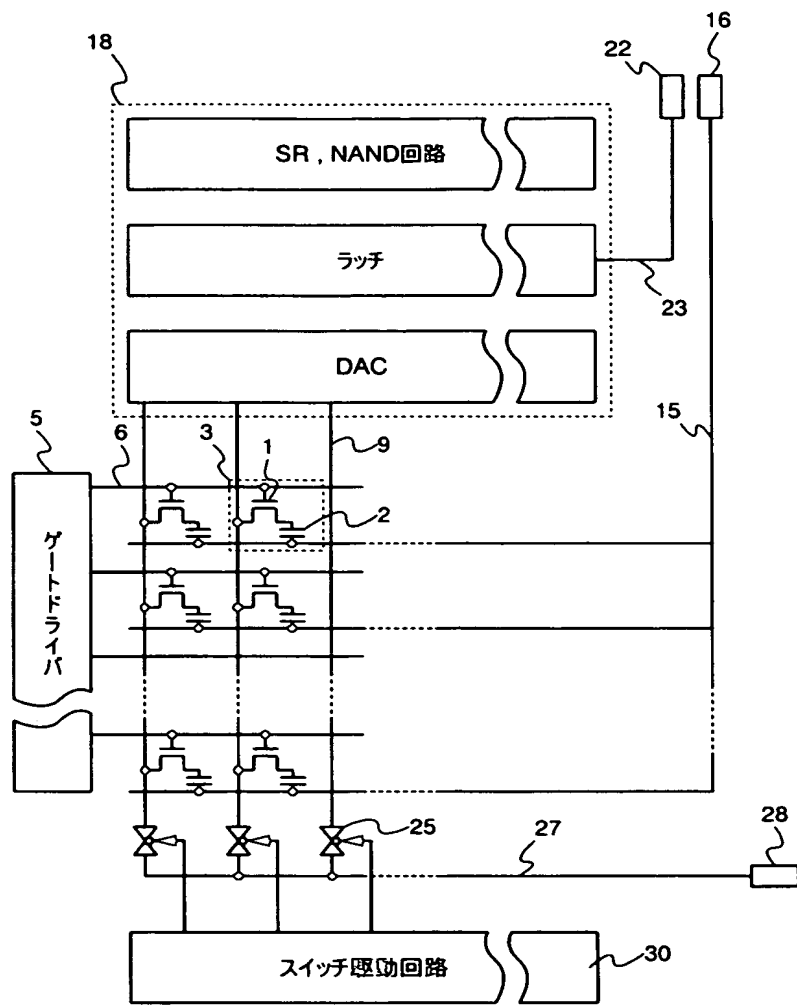
(A)



(B)



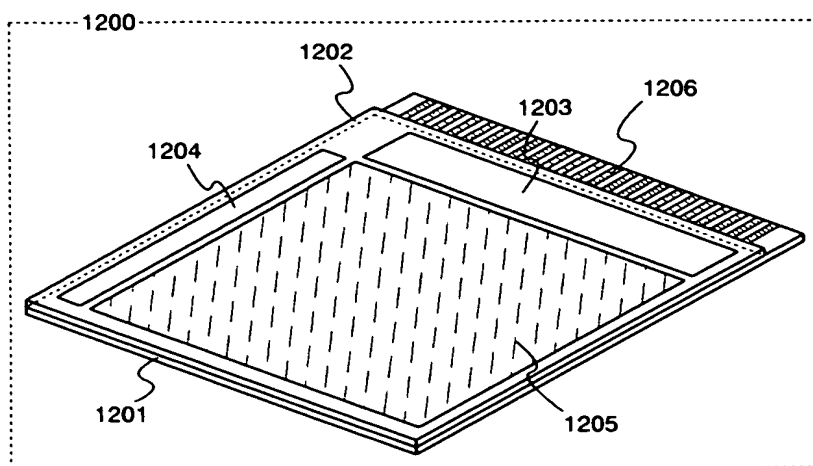
【図 11】



- | | |
|-------------|--------------------|
| 1 : TFT | 16 : 端子 |
| 2 : 保持容量 | 18 : デジタルソースドライバ |
| 3 : 画素 | 22 : デジタルビデオ信号入力端子 |
| 5 : ゲートドライバ | 23 : デジタルビデオライン |
| 6 : ゲート信号線 | 25 : アナログスイッチ |
| 9 : ソース信号線 | 27 : 検査ライン |
| 15 : 共通電極配線 | 28 : 検査端子 |
| | 30 : スイッチ制御回路 |

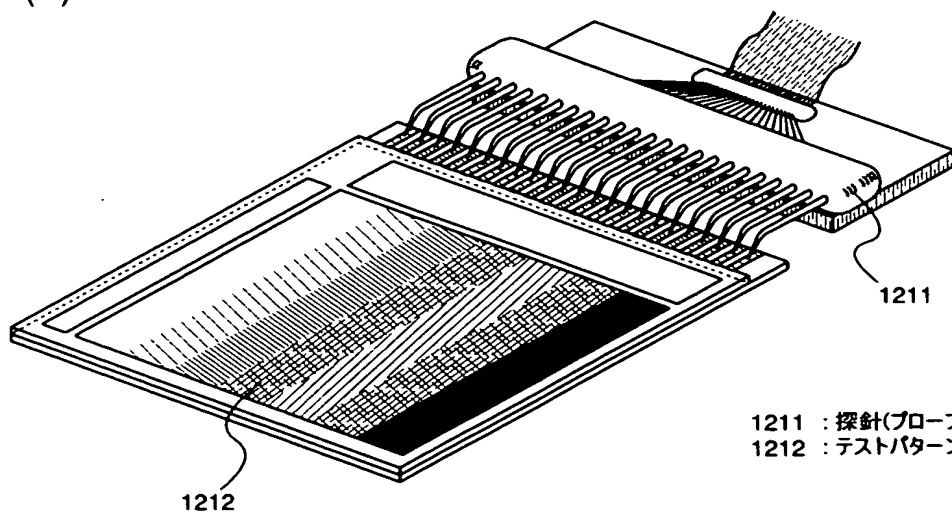
【図 12】

(A)



- 1200 : モジュール
- 1201 : TFT基板
- 1202 : 対向基板
- 1203 : ソースドライバ
- 1204 : ゲートドライバ
- 1205 : 画素領域
- 1206 : 信号入力端子

(B)



- 1211 : 探針(プローブ)
- 1212 : テストパターン

【書類名】 要約書

【要約】

【課題】 小規模な回路を用いて、簡単かつ正確な不良判定の可能な検査回路およびその方法を提供する。

【解決手段】 複数の NAND 回路を、前記複数のインバータを介して直列した構成と、複数の NOR 回路を、前記複数のインバータを介して直列接続した構成を有し、画素部に設けられた複数のソース信号線のそれぞれを、NAND 回路および NOR 回路の 1 入力端に接続し、直列接続された NAND 回路および NOR 回路の最終段から検査出力を得る。

【選択図】 図 1

特願 2 0 0 3 - 0 8 1 6 6 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所